

**IN THE UNITED STATES PATENT AND TRADEMARK OFFICE**

In re Patent Application of:

Masato SUSUKI, et al.

Application No.:

Group Art Unit:

Filed: April 2, 2004

Examiner:

For: SEMICONDUCTOR DEVICE AND TESTING APPARATUS FOR SEMICONDUCTOR  
DEVICE

**SUBMISSION OF CERTIFIED COPY OF PRIOR FOREIGN  
APPLICATION IN ACCORDANCE  
WITH THE REQUIREMENTS OF 37 C.F.R. § 1.55**

Commissioner for Patents  
PO Box 1450  
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 37 C.F.R. § 1.55, the applicant(s) submit(s)  
herewith a certified copy of the following foreign application:

Japanese Patent Application No(s). 2003-374351

Filed: November 4, 2003

It is respectfully requested that the applicant(s) be given the benefit of the foreign filing  
date(s) as evidenced by the certified papers attached hereto, in accordance with the  
requirements of 35 U.S.C. § 119.

Respectfully submitted,

STAAS & HALSEY LLP

Date: April 2, 2004

By: 

Paul I. Kravetz  
Registration No. 35,230

1201 New York Ave, N.W., Suite 700  
Washington, D.C. 20005  
Telephone: (202) 434-1500  
Facsimile: (202) 434-1501



日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日                      2 0 0 3 年 1 1 月    4 日  
Date of Application:

出 願 番 号                      特 願 2 0 0 3 - 3 7 4 3 5 1  
Application Number:  
[ST. 10/C]:                      [ J P 2 0 0 3 - 3 7 4 3 5 1 ]

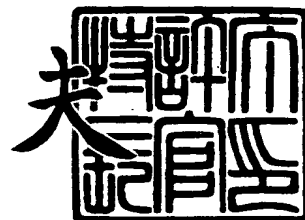
出      願      人                      富 士 通 株 式 会 社  
Applicant(s):



2 0 0 4 年    1 月 2 1 日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

今 井 康 夫



出 証 番 号    出 証 特 2 0 0 4 - 3 0 0 1 3 5 9

【書類名】 特許願  
【整理番号】 0352189  
【提出日】 平成15年11月 4日  
【あて先】 特許庁長官殿  
【国際特許分類】 G11C 29/00  
G01R 31/28  
【発明者】  
【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社  
内  
【氏名】 薄 将人  
【発明者】  
【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通株式会社  
内  
【氏名】 中台 裕志  
【特許出願人】  
【識別番号】 000005223  
【氏名又は名称】 富士通株式会社  
【代理人】  
【識別番号】 100092978  
【弁理士】  
【氏名又は名称】 真田 有  
【電話番号】 0422-21-4222  
【手数料の表示】  
【予納台帳番号】 007696  
【納付金額】 21,000円  
【提出物件の目録】  
【物件名】 特許請求の範囲 1  
【物件名】 明細書 1  
【物件名】 図面 1  
【物件名】 要約書 1  
【包括委任状番号】 9704824

**【書類名】 特許請求の範囲****【請求項 1】**

データ処理系に組み込まれ試験対象となる処理用 R A M (Random Access Memory) と、  
該処理用 R A M の組込自己試験を行なう組込自己試験回路と、  
該組込自己試験回路による該処理用 R A M の試験結果を、外部のテストによって読出可能に格納するフェイルメモリ用 R A M とをそなえて構成され、  
該フェイルメモリ用 R A M として、該処理用 R A M のデータ読出マージンよりも大きなデータ読出マージンを有する R A M が用いられていることを特徴とする、半導体装置。

**【請求項 2】**

データ処理系に組み込まれ試験対象となる複数の処理用 R A M (Random Access Memory) と、  
該処理用 R A M の組込自己試験を行なう組込自己試験回路とをそなえて構成され、  
該組込自己試験回路が該複数の処理用 R A M のうちの一部の組込自己試験を行なっている際に、該組込自己試験回路の試験対象外の処理用 R A M が、該組込自己試験回路による該処理用 R A M の試験結果を外部のテストによって読出可能に格納するフェイルメモリ用 R A M として用いられるように構成されていることを特徴とする、半導体装置。

**【請求項 3】**

該複数の処理用 R A M のそれぞれにおいて、当該 R A M を成すセンスアンプの起動時のビット線振幅を増大させてデータ読出マージンを拡大させるマージン拡大手段がそなえられていることを特徴とする、請求項 2 記載の半導体装置。

**【請求項 4】**

該マージン拡大手段が、外部から与えられる信号によって該センスアンプの起動タイミングを段階的に遅らせる遅延回路によって構成されていることを特徴とする、請求項 3 記載の半導体装置。

**【請求項 5】**

該マージン拡大手段により、該複数の処理用 R A M のうちフェイルメモリ用 R A M として用いられるもののデータ読出マージンが、該組込自己試験回路の試験対象になっている処理用 R A M のデータ読出マージンよりも大きくなるように設定変更することを特徴とする、請求項 3 または請求項 4 に記載の半導体装置。

【書類名】明細書

【発明の名称】半導体装置

【技術分野】

【0001】

本発明は、BIST (Built In Self Test) 回路 (組込自己試験回路) をそなえ、自己のデータ処理系に組み込まれた処理用記憶部 (RAM: Random Access Memory) の試験を行なう半導体装置に関する。

【背景技術】

【0002】

従来から、例えば、LSI (Large Scale Integration) 等の半導体装置の記憶部をテストする方法として、BIST (Built In Self Test) 回路 (組込自己試験回路) を用いたテスト方法がある (例えば、下記特許文献1~4 参照)。

このBIST回路をそなえた半導体装置は、例えば、図7に示すように構成されている。図7に示すように、この半導体装置100は、試験対象である自己のデータ処理系に組み込まれた記憶部 (例えば、RAM: Random Access Memory) 101と、BIST回路102と、コントロール回路103と、チェッカ104と、データ格納用ラッチアレイ105とをそなえて構成され、半導体装置100の外部にはテスト110が着脱可能に接続されている。

【0003】

記憶部 (以下、RAMという) 101は、半導体装置100の記憶部として機能するものであり、所謂、DRAM (Dynamic Random Access Memory), SRAM (Static Random Access Memory) 等として構成される。

BIST回路102は、RAM101に対して組込自己試験を行なうための回路であり、RAM101へ書き込むデータと当該データを書き込む場所 (即ち、RAM101上のアドレス) とを含むテストパターンをRAM101に対して発行するとともに、当該テストパターンの期待値を作成し、後述するチェッカ104へ送信するように構成されている。

【0004】

コントロール回路103は、BIST回路102を制御するための回路であり、具体的にはBIST回路102によるテストの開始/終了を制御するものである。

チェッカ104は、BIST回路102から発生されたテストパターンに基づいてRAM101に書き込まれた後に、このRAM101から読み出されたデータと、BIST回路102で作成された当該テストパターンに対応した期待値とを比較し、比較結果を後述するデータ格納用ラッチアレイ105へ送信するものである。

【0005】

チェッカ104からデータ格納用ラッチアレイ105へ送信される比較結果は、RAM101から読み出されたデータと、期待値とが適合しているか、適合していないかを1, 0のデータで表わすものであり、BIST回路102から発生されるテストパターン毎に生成され、データ格納用ラッチアレイ105へ送信される。なお、ここでは、RAM101から読み出されたデータと、期待値とが適合している場合には1を、適合していない場合には0を比較結果としてデータ格納用ラッチアレイへ送信する。

【0006】

データ格納用ラッチアレイ105は、チェッカ104から送信された比較結果を格納するものであり、所謂、先入れ先出し方式のメモリラッチアレイである。

テスト110は、半導体装置100の外部に着脱可能に接続され、データ格納用ラッチアレイ105に格納された比較結果を取り出すものである。

このような構成により、従来の半導体装置100では、この半導体装置100にテスト110が接続され、コントロール回路103がBIST回路102を制御して、テストが開始される。BIST回路102はRAM101に対してテストパターンを連続的に発行し、RAM101に複数のパターンの書き込みを行なうとともに、各テストパターン毎に

期待値を作成し、チェッカ104へ送信する。そして、チェッカ104においてRAM101から読み出されたデータとBIST回路102から送信された期待値とが比較され、これらが適合するか否かを比較結果（ここでは、適合する場合を1、適合しない場合を0）としてデータ格納用ラッチアレイ105へ送信し、かかる比較結果がデータ格納用ラッチアレイ105に格納される。そして、テスト110がデータ格納用ラッチアレイ105に格納された試験結果（比較結果）を取り出して、これらを評価することにより、RAM101のテストが行なわれる。

#### 【0007】

しかしながら、図7に示すような従来の半導体装置100では、テスト110が半導体装置100よりも古い世代のテクノロジーで製造されていることが一般的であるため、テスト110の処理速度が半導体装置100の処理速度よりも遅い。そのため、折角、試験対象である半導体装置100のデバイス（MPU：Micro Processing Unit, CPU：Central Processing Unit等）を速いクロックサイクルで作動させて試験を行なっても、テスト110のデバイス（MPU, CPU等）の処理速度が、半導体装置100のクロックサイクルについていくことができず、データ格納用ラッチアレイ105に半導体装置100の速いクロックサイクルで書き込まれた比較結果をテスト110が読み出すことができなくなってしまう。RAM101を試験する場合には、RAM101に対してアドレスを次々に遷移させてデータの読み書きを連続して行なうことが、製品動作保証の重要な柱であるため、図7に示すような従来の半導体装置100では、半導体装置100のデバイスの処理速度をテスト110の処理速度にあわせて遅いクロックサイクルで試験を行なう他なく、RAM101の試験を半導体装置100が持つ本来の処理速度で行なうことができなかった。

#### 【0008】

なお、仮に、半導体装置100と同等のテクノロジーを用いて、半導体装置100と同等の処理速度を発揮するデバイス（CPU等）をそなえたテスト110を用意することができたとしても、このようなテスト110は非常に高価であり、試験対象である半導体装置が開発される毎にこの半導体装置と同等のテストを用意することは現実的ではない。

また、図7に示すような従来の半導体装置100では、チェッカ104での比較結果を格納するデータ格納用ラッチアレイ105が、一般的にRAM101よりも小容量であるため、RAM101全体に対して連続的に試験した試験結果を全て記憶することができないことがある。RAM101のテストでは、RAM101に対して全アドレスにデータの読み書きを連続して行なうことが、製品動作保証上重要であるが、このようなデータ格納用ラッチアレイ105では、RAM101の試験を複数回に分けて行なわなくてはならなくなり、確実な製品動作保証をすることができない。

#### 【0009】

さらに、半導体装置100の試験では、不良がRAM101のセルアレイのどの物理位置（つまり、どのアドレス）に発生するかを調査すること、即ち、フェイルビットマップを作成することが非常に有効であるが、先入れ先出し方式のデータ格納用ラッチアレイ105では、アドレスを指定して比較結果を格納することができないため、RAM101を試験動作させた際のフェイルビットマップを作成することができなかった。

#### 【0010】

そこで、データ格納用ラッチアレイ105の代わりに、RAM101と同等の記憶部（RAM）を半導体装置100の外部に新たに設け、この記憶部にチェッカ104の比較結果を格納するように構成することにより、上述した課題を解決しようとした技術が提案されている（例えば、下記特許文献1～3参照）。

【特許文献1】特開2002-298598号公報

【特許文献2】特開平11-238400号公報

【特許文献3】特開平10-302499号公報

【特許文献4】特開2002-133897号公報

【発明の開示】

**【発明が解決しようとする課題】****【0011】**

しかしながら、試験結果（上述したチェッカ104から送信される比較結果）を格納するために、RAM101と同程度の性能をそなえたRAMを半導体装置100の外部に新たに設けると、当然、上述したデータ格納用ラッチアレイ105を半導体装置100内部に設けるよりも高コスト化してしまう。

しかも、半導体装置100が例えばサーバやパーソナルコンピュータのMPUやCPU等であり、試験対象のRAM101がSRAMであった場合には、SRAMは非常に高価であるため、試験にかかるコストがさらに高コスト化してしまう。

**【0012】**

また、MPUやCPU等の半導体装置に設けられる記憶部としてのRAMは、近年、高速化、高密度化（大容量化）を目的として開発が盛んに行なわれており、新たに開発されたRAMを搭載した半導体装置（MPU、CPU等）が開発される毎に、かかるRAMと同程度のRAMを試験用に用意すれば、さらに高コスト化してしまう。

また、試験結果を格納するためのRAMを半導体装置100の外部に設けると、かかるRAMを半導体装置100に接続するためのインターフェースや制御系を新たに設ける必要があるため、装置の複雑化、高コスト化を招いてしまう。

**【0013】**

ところで、BIST回路を用いて半導体装置の記憶部（RAM）の組込自己試験を行なう場合、試験結果（即ち、チェッカ104から送信される比較結果）を格納する記憶部は、当然ながら、記憶した試験結果を正確に読み出せるように構成する必要がある。

しかしながら、図7に示したような従来の半導体装置100にそなえられたデータ格納用ラッチアレイ105や特許文献1～4の技術では、かかる記憶部に書き込まれた試験結果を確実に読み出すための工夫は何らされていない。

**【0014】**

本発明は、このような課題に鑑み創案されたもので、安価で、且つ、試験結果を確実に読み出すことができる記憶部をそなえたBIST回路（組込自己試験回路）を有する半導体装置を提供することを目的とする。

**【課題を解決するための手段】****【0015】**

上記目的を達成するために、本発明の半導体装置は、データ処理系に組み込まれ試験対象となる処理用RAM（Random Access Memory）と、処理用RAMの組込自己試験を行なう組込自己試験回路と、組込自己試験回路による処理用RAMの試験結果を、外部のテストによって読出可能に格納するフェイルメモリ用RAMとをそなえて構成され、フェイルメモリ用RAMとして、処理用RAMのデータ読出マージンよりも大きなデータ読出マージンを有するRAMが用いられていることを特徴としている（請求項1）。

**【0016】**

また、上記目的を達成するために、本発明の半導体装置は、データ処理系に組み込まれ試験対象となる複数の処理用RAM（Random Access Memory）と、処理用RAMの組込自己試験を行なう組込自己試験回路とをそなえて構成され、組込自己試験回路が複数の処理用RAMのうちの一部の組込自己試験を行なっている際に、組込自己試験回路の試験対象外の処理用RAMが、組込自己試験回路による処理用RAMの試験結果を外部のテストによって読出可能に格納するフェイルメモリ用RAMとして用いられるように構成されていることを特徴としている（請求項2）。

**【0017】**

なお、複数の処理用RAMのそれぞれにおいて、当該RAMを成すセンスアンプの起動時のビット線振幅を増大させてデータ読出マージンを拡大させるマージン拡大手段がそなえられることが好ましい（請求項3）。

また、マージン拡大手段が、外部から与えられる信号によってセンスアンプの起動タイミングを段階的に遅らせる遅延回路によって構成されていることが好ましい（請求項4）

## 【0018】

さらに、マージン拡大手段により、複数の処理用RAMのうちフェイルメモリ用RAMとして用いられるもののデータ読出マージンが、組込自己試験回路の試験対象になっている処理用RAMのデータ読出マージンよりも大きくなるように設定変更することが好ましい（請求項5）。

## 【発明の効果】

## 【0019】

本発明の半導体装置によれば、半導体装置にそなえられたデバイス（MPU、CPU等）に基づく処理速度（即ち、半導体装置が持つ本来の処理速度）で処理用RAMの全体に対して連続的に組込自己試験を行なうことができるため、確実な製品動作保証をすることができる。

また、フェイルメモリ用RAMが、処理用RAMのデータ読出マージンよりも大きなデータ読出マージンを有するように構成されているため、フェイルメモリ用RAMから試験結果を確実に読み出すことができ、組込自己試験の精度を向上させることができる（請求項1）。

## 【0020】

また、本発明の半導体装置によれば、組込自己試験回路が複数の処理用RAMのうちの一部の組込自己試験を行なっている際に、組込自己試験回路の試験対象外の処理用RAMが、組込自己試験回路による処理用RAMの試験結果を外部のテストによって読出可能に格納するフェイルメモリ用RAMとして用いられるように構成されているので、上述した従来からの技術のように、処理用RAMと同等の性能を有するRAMをフェイルメモリ用RAMとして新たに設ける必要がないため、これに伴うインターフェースや制御系も新たに設ける必要がなく、組込自己試験にかかるコストを低コスト化することができる。

## 【0021】

さらに、かかる半導体装置にそなえられたデバイス（MPU、CPU等）に基づく処理速度（即ち、半導体装置が持つ本来の処理速度）で処理用RAMの全体に対して連続的に組込自己試験を行なうことができるため、確実な製品動作保証をすることができる（請求項2）。

また、マージン拡大手段により組込自己試験の試験結果を格納するフェイルメモリ用RAMのデータ読出マージンを拡大することによって、フェイルメモリ用RAMから試験結果を確実に読み出すことができ、組込自己試験の精度を向上させることができる（請求項3～5）。

## 【0022】

さらに、かかる半導体装置にそなえられた複数の処理用RAMのそれぞれにおいて、マージン拡大手段がそなえられているため、マージン拡大手段により、上記複数の処理用RAMのうちフェイルメモリ用RAMとして用いられるもののデータ読出マージンが、組込自己試験回路の試験対象になっている処理用RAMのデータ読出マージンよりも大きくなるように設定変更することにより、上記複数の処理用RAMにおいて、試験対象とする処理用RAMとフェイルメモリ用RAMとを切り換えることが可能になる。これにより、上記複数の処理用RAMを合理的に使用することができ、効率的に、且つ、安価で、組込自己試験を行なうことができる（請求項2～5）。

## 【発明を実施するための最良の形態】

## 【0023】

以下、図面を参照して本発明の実施形態について説明する。

## 〔1〕本発明の一実施形態

図1～図6は本発明の一実施形態としての半導体装置を示す図であり、図1はその機能構成を示すブロック図、図2はそのRAMのメモリセルおよびセンスアンプの構成を示す回路図、図3はそのマージン拡大手段の機能構成を示すブロック図、図4はそのマージン拡大手段の遅延回路を示す回路図、図5はそのマージン拡大手段の遅延回路にそなえられ



たスイッチの選択によって切り換えられるインバータ段数について説明するための図、図 6 (a), (b) はその RAM の読み出し動作を説明するためのタイムチャートである。

#### 【0024】

図 1 に示すように、本発明の一実施形態としての半導体装置 1 は、例えば MPU, CPU 等として機能しうる LSI (Large Scale Integration) であり、データ処理系に組み込まれ試験対象となる処理用 RAM 10 と、この処理用 RAM 10 の組込自己試験を行なう BIST 回路 (組込自己試験回路) 20 と、この BIST 回路 20 による組込自己試験を制御するコントロール回路 30 と、BIST 回路 20 から発生されたテストパターンに基づいて処理用 RAM 10 に書き込まれた後にこの処理用 RAM 10 から読み出されたデータを、BIST 回路 20 がかかるテストパターンに基づいて作成した期待値と比較し、この比較結果を試験結果として出力するチェッカ (Checker) 40 と、このチェッカ 40 での試験結果を後述する外部のテスト 50 によって読み出し可能に格納するフェイルメモリ用 RAM 11 とを備えて構成されている。

#### 【0025】

また、フェイルメモリ用 RAM 11 は、外部のテスト 50 と接続可能に構成されている。

処理用 RAM 10 は、半導体装置 1 の記憶部として機能するものであり、BIST 回路 20 による組込自己試験の試験対象である。

これに対して、フェイルメモリ用 RAM 11 は、処理用 RAM 10 と同様に、半導体装置 1 のデータ処理系に組み込まれ、通常は半導体装置 1 の記憶部として機能するものであり、従って処理用 RAM 10 と同等の性能をそなえたものであるが、ここでは、チェッカ 40 の試験結果を外部のテスト 50 によって読出可能に格納するフェイルメモリとして用いられている。つまり、半導体装置 1 はデータ処理系に少なくとも 2 つの RAM 10, 11 をそなえており、ここでは RAM 10 を組込自己試験の試験対象とし、その際、試験対象外である RAM 11 をフェイルメモリ用 RAM として用いている。RAM 11 の自己試験を行なう場合には、RAM 10 をフェイルメモリ用 RAM として用いるとともに、RAM 11 を試験対象とするように切り換えることも可能になっている。

#### 【0026】

また、フェイルメモリ用 RAM 11 は、上記試験結果を、BIST 回路 20 によって指定された、テストデータが書き込まれた処理用 RAM 10 上のアドレスと同一のアドレスに格納されるようになっていいる。つまり、BIST 回路 20 から発生されるテストパターンに基づいて処理用 RAM 10 に書き込まれたデータの試験結果 (比較結果) が、フェイルメモリ用 RAM 11 上においても処理用 RAM 10 の上記データが書き込まれたアドレスと同一のアドレスに書き込まれる。

#### 【0027】

そして、フェイルメモリ用 RAM 11 においては、BIST 回路 20 により発生されたテストパターンに基づくデータの書き込みは、半導体装置 1 のデバイス (MPU, CPU 等) の処理速度に基づいた速いクロックサイクルで行なわれる。一方、フェイルメモリ用 RAM 11 に書き込まれたデータをテスト 50 により読み出す際には、テスト 50 のデバイス (MPU, CPU 等) の処理速度に基づいた遅いクロックサイクルで行なわれる。即ち、フェイルメモリ用 RAM 11 は、入力されたクロックサイクルに応じて書き込み/読み出しの処理を行なうように構成されている。

#### 【0028】

BIST 回路 (組込自己試験回路) 20 は、処理用 RAM 10 に対して処理用 RAM 10 へ書き込むデータ (テストデータともいう) と当該データを書き込む場所 (即ち、処理用 RAM 10 上のアドレス) とを含むテストパターンを連続的に発行するものである。また、BIST 回路 20 は、連続的に発行したテストパターン毎に期待値を作成し、チェッカ 40 へ送信するとともに、上記データを書き込む場所 (即ち、処理用 RAM 10 上のアドレス) をフェイルメモリ用 RAM 11 が試験結果を書き込むアドレスとして指定するように構成されている。

**【0029】**

コントロール回路30は、BIST回路20による組込自己試験を制御するための回路であり、具体的にはBIST回路20による組込自己試験の開始／終了を制御したり、後述する処理用RAM10及びフェイルメモリ用RAM11にそれぞれ設けられたマージン拡大手段60（図3参照）を制御したりするものである。具体的には、図1に示すように、コントロール回路30から処理用RAM10及びフェイルメモリ用11のそれぞれに2ビット信号SW[62S:63S]（SW[62S]，SW[63S]）が送信され、各RAM10，11におけるマージン拡大手段60の遅延回路61（図3，図4参照）にそなえられたスイッチ62S，63Sに対して、これらのスイッチ62S，63Sを選択するための信号SW[62S]，SW[63S]がそれぞれ供給される。なお、図4において、SW[62S]\_\_LはSW[62S]の反転信号に対応し、SW[62S]\_\_HはSW[62S]に対応し、SW[63S]\_\_LはSW[63S]の反転信号に対応し、SW[63S]\_\_HはSW[63S]に対応する。

**【0030】**

チェッカ40は、BIST回路20からのテストパターンに基づいて処理用RAM10に書き込まれた後にこの処理用RAM10から読み出されたデータと、BIST回路20において作成された期待値とを比較し、これらが適合しているか、適合していないかを試験結果としてフェイルメモリ用RAM11へ送信するものである。

なお、チェッカ40からフェイルメモリ用RAM11へ送信される試験結果（比較結果）としては、処理用RAM10に書き込まれたデータと期待値とが適合していれば1が、適合していなければ0が、BIST回路20から連続的に発行されるテストパターン毎に生成される。

**【0031】**

テスト50は、半導体装置1に着脱可能に接続され、フェイルメモリ用RAM11に格納された複数の試験結果を当該試験結果が書き込まれたアドレスとともに取り出して、フェイルビットマップを作成し、これをテスト結果として出力するものである。

なお、BIST回路20，コントロール回路30，チェッカ40，フェイルメモリ用RAM11は、データ処理系に組み込まれ試験対象となる処理用RAM10をそなえて構成される半導体装置1用の試験装置として機能する。

**【0032】**

次に、本実施形態にかかる半導体装置1において、通常、半導体装置1の記憶部として機能する処理用RAM10及びフェイルメモリ用RAM11（以下、処理用RAM10とフェイルメモリ用RAM11とを区別しないときには、単にRAM10，11という）について説明すると、本半導体装置1にそなえられたRAM10，11は、例えば、図2に示すようなメモリセル12が複数集合して構成された、所謂、SRAMとして構成されている。

**【0033】**

図2に示すように、メモリセル12は、トランジスタ13a，13bと、一対のインバータから成る論理回路14と、メモリセル12のアドレスに対応するワード線15と、メモリセル12からデータを取り出すための信号線であるビット線16a，16bとをそなえて構成されている。

また、メモリセル12のビット線16a，16bには、これらのビット線16a，16bに渡ってメモリセル12からの電圧を増幅するためのセンスアンプ（Sense Amp）17が接続され、センスアンプ17にはセンスアンプイネーブル（Sense Amp Enable）スイッチ17aが設けられている。

**【0034】**

なお、メモリセル12には、ワード線15を選択するためのワード線選択回路18（図3参照）と、ビット線16a，16bに対するプリチャージのセット／解除を行なうプリチャージ回路19（図3参照）とが接続されている。

このような構成により、このメモリセル12からメモリセル12に保持されたデータと

してのビット線 16 a, 16 b 間の電圧差（以下、ビット線振幅ともいう）を読み出す際には、このビット線 16 a, 16 b 間の電圧差が、通常、数百 mV（例えば、100 mV ~ 200 mV）程度と微小であるため、センスアンプ 17 により、かかる電圧差（ビット線振幅）が読み取り可能なレベルまで増幅されて外部に読み出されるようになっている。

#### 【0035】

さらに、本半導体装置 1 にそなえられた RAM 10, 11 には、それぞれに当該 RAM 10, 11 を成すセンスアンプ 17 の起動時のビット線 16 a, 16 b 間の電圧差（ビット線振幅）を増大させてデータ読出マージンを拡大させる、図 3 に示すマージン拡大手段 60 がそなえられている。

マージン拡大手段 60 は、図 3 に示すように、外部から与えられるクロック信号によって当該 RAM 10, 11 のセンスアンプ 17 の起動タイミングを遅らせる遅延回路 61 と、当該 RAM 10, 11 のセンスアンプ 17 に接続されるチョッパ（Chopper）67 ~ 69 とから構成されている。

#### 【0036】

なお、チョッパ 67 は、後述するセンスアンプ 17 のセンスアンプイネーブルスイッチ 17 a に接続され、チョッパ 68 はワード線選択回路 18 に接続され、チョッパ 69 はプリチャージ回路 19 に接続されている。

遅延回路 61 は、図 4 に示すように、直列に接続された選択回路 62 と選択回路 63 とから構成され、選択回路 62 に入力されたクロック信号は、選択回路 62 および 63 を通過することにより、これら選択回路 62 および 63 における選択状態に応じた時間だけ遅延されてから、選択回路 63 に接続されたチョッパ 67 ~ 69 へ出力されるようになっている。

#### 【0037】

選択回路 62 は、選択可能な 2 つの回路 62 L, 62 H と、これらの回路 62 L, 62 H のいずれか一方を選択するためのスイッチ 62 S とをそなえて構成されており、選択回路 63 も、選択回路 62 と同様に、選択可能な 2 つの回路 63 L, 63 H と、これら回路 63 L, 63 H のいずれか一方を選択するためのスイッチ 63 S とをそなえて構成されている。なお、スイッチ 62 S は、信号 SW [62 S] として 0 が入力されることにより回路 62 L を選択し、信号 SW [62 S] として 1 が入力されることにより回路 62 H を選択する。また、これと同様に、スイッチ 63 S は、信号 SW [63 S] として 0 が入力されることにより回路 63 L を選択し、信号 SW [63 S] として 1 が入力されることにより回路 63 H を選択する。

#### 【0038】

また、選択回路 62, 63 の各回路 62 L, 62 H, 63 L, 63 H にはそれぞれ同様のインバータ 64 が 1 又は複数設けられており、回路 62 L, 63 L にはそれぞれインバータ 64 が 1 つだけ設けられ、回路 62 H にはインバータ 64 が 5 つ直列に設けられ、回路 63 H にはインバータ 64 が 3 つ直列に設けられている。

したがって、選択回路 62 に入力されたクロック信号は、スイッチ 62 S, 63 S により選択されて通過する回路（即ち、回路 62 L, 62 H のいずれか一方と回路 63 L, 63 H のいずれか一方とが組み合わされた回路）上に存在するインバータ 64 の段数が増える程遅延されて、チョッパ 67 ~ 69 へ出力される。

#### 【0039】

図 4, 図 5 に示すように、遅延回路 61 によれば、スイッチ 62 S により回路 62 L が選択され、スイッチ 63 S により回路 63 L が選択された場合は、インバータ 64 の段数は 2 となる。また、スイッチ 62 S により回路 62 L が選択され、スイッチ 63 S により回路 63 H が選択された場合は、インバータ 64 の段数は 4 となり、スイッチ 62 S により回路 62 H が選択され、スイッチ 63 S により回路 63 L が選択された場合は、インバータ 64 の段数は 6 となり、スイッチ 62 S により回路 62 H が選択され、スイッチ 63 S により回路 63 H が選択された場合は、インバータ 64 の段数は 8 となる。

#### 【0040】

このように、マージン拡大手段 60 によれば、遅延回路 61 の選択回路 62, 63 にそれぞれ設けられたスイッチ 62 S, 63 S を切り換えることにより、入力されたクロック信号が遅延回路 61 を通過する際に存在するインバータ 64 の段数を段階的に調節することができ、入力されたクロック信号の遅延を段階的に調節することができる。

次に、マージン拡大手段 60 の遅延回路 61 により、クロック信号を遅延させることによる作用・効果について図 6 (a), (b) を参照しながら説明する。

#### 【0041】

図 6 (a) に示すように、本半導体装置 1 のデータ処理系に組み込まれた処理用 RAM (ここでは、処理用 RAM 10) では、チェック 40 へデータを読み出すためのクロック信号が入力されると、プリチャージ回路 19 から出力される信号に示すように、プリチャージの解除が開始され [図 6 (a) 中 t1 参照]、これに伴って、ビット線 16 a とビット線 16 b との間に電圧差が生じ始める。そして、プリチャージが完全に解除されると、ワード線回路 18 から出力される信号に示すように、ワード線 15 が選択され [図 6 (a) 中 t2 参照]、ワード線 15 に接続された処理用 RAM 10 のメモリセル 12 が書き込み/読み出し (ここでは、読み出し) 可能に選択される [図 6 (a) 中 t3 参照]。

#### 【0042】

一方、クロック信号が入力されると、当該 RAM 10 にそなえられた遅延回路 61 において、クロック信号の遅延調節が行なわれ、チョッパ 67 へのクロック信号の入力が遅延されセンスアンプ 17 の起動が遅延されて、上記のビット線 16 a, 16 b 間の電圧差がある程度開いた時点、つまり、ビット線 16 a, 16 b 間の電圧差であるビット線振幅が W1 まで開いた時点で、センスアンプイネーブルスイッチ 17 a に対するセンスアンプイネーブル信号が立ち上げられ、センスアンプ 17 が起動されるように設定されている [図 6 (a) 中 t4 参照]。なお、ここでは、コントロール回路 30 によって、当該 RAM 10 にそなえられた遅延回路 61 のスイッチ 62 S, 63 S に対してともに 0 が送信され (図 1 の “SW [62 S : 63 S] = 00” 参照)、遅延回路 61 のインバータ 64 の段数が最小の 2 に設定されている。

#### 【0043】

このように、ビット線振幅 (ここではビット線振幅 W1) を確保することにより、データ読出マージンがある程度確保しながら当該 RAM 10 からのデータ読み出しを行なうことができる。

なお、センスアンプイネーブルスイッチ 17 a にセンスアンプイネーブル信号が入力されてから、センスアンプ 17 が起動してビット線 16 a, 16 b 間の電圧差 (ビット線振幅) の増幅が開始されるには若干の時間がかかるため、ここでは、センスアンプ 17 により増幅されるビット線振幅 W1 は、センスアンプイネーブルスイッチ 17 a にセンスアンプイネーブル信号が入力された時点 (t4) から微少時間経過後となる。また、ビット線 16 a, 16 b 間の電位差 (ビット線振幅) は、上述のようにプリチャージが解除された後、徐々に増大していき、ビット線 16 a, 16 b の電位差 (ビット線振幅) が最大値に達すると徐々に減少していく。

#### 【0044】

そして、センスアンプ 17 によりビット線 16 a, 16 b 間の電圧差が増幅されると、センスアンプイネーブル信号はオフ状態に切り換えられ、これに伴って、ワード線選択回路 18 によるワード線 15 の選択が終了し [図 6 (a) 中 t5 参照]、次いで、プリチャージ回路 19 によるプリチャージの解除が終了されるとともに、当該 RAM 10 からのデータの読み出しが完了される [図 6 (a) 中 t6 参照]。

#### 【0045】

このように、本半導体装置 1 の処理用 RAM 10 では、上述したデータ読み出し動作が、クロックサイクル (クロックサイクル単位) T 内に完了される。

また、図 2 に示した構造を有する本半導体装置 1 における RAM (処理用 RAM 10 及びフェイルメモリ用 RAM 11) では、センスアンプ 17 により増幅するビット線振幅が小さければ小さいほど、データ読出マージンが小さくなってしまい、かかるビット線振幅

を当該RAMのデータとして読み出したときに、読出エラーが生じ易くなってしまう。しかし、その一方で、データ読出マージンを確保するために、マージン拡大手段60の遅延回路61によりセンスアンプ17の起動タイミングを遅延させると、センスアンプ17の起動タイミングを遅延させた分、当該RAMからのデータ読出に時間がかかることになってしまい、データ読出マージンを拡大させてデータを確実に読み出すことと、かかるデータを高速に読み出すこととはトレードオフの関係にある。そのため、処理用RAM10では、データ読出時間が延長され過ぎない範囲で、ワード線振幅をある程度増大させ、データ読出マージンをある程度確保してからセンスアンプ17を起動するようにしている。

#### 【0046】

これに対して、本半導体装置1のフェイルメモリ用RAM11では、図6(b)に示すように、クロック信号が入力されてから、プリチャージ回路19から出力される信号に示すように、プリチャージの解除が開始され、ワード線回路18から出力される信号に示すようにワード線15が選択されて、フェイルメモリ用RAM11のメモリセル12が書き込み/読み出し(ここでは、読み出し)可能に選択されるまで[図6(b)中t1~t3参照]は、上述した図6(a)に示す処理用RAM10と同様のデータ読み出し動作が行なわれる。

#### 【0047】

しかし、本半導体装置1のフェイルメモリ用RAM11では、クロック信号が入力されると、当該RAM11にそなえられた遅延回路61により、センスアンプイネーブルスイッチ17aに入力されるセンスアンプイネーブル信号を、上述した図6(a)に示す処理用RAM10における遅延時間よりもt<sub>a</sub>時間分長く遅延するようにチョッパ67に対するクロック信号の入力タイミングが調節され、ビット線16a、16b間の電圧差(ビット線振幅)が最大値のW<sub>2</sub>まで開いた時点で、センスアンプイネーブルスイッチ17aに対するセンスアンプイネーブル信号が立ち上げられ、センスアンプ17が起動されるように設定されている[図6(a)中t<sub>4</sub>'参照]。なお、ここでは、コントロール回路30によって、当該RAM11にそなえられた遅延回路61のスイッチ62S、63Sに対してともに1が送信され(図1の“SW[62S:63S]=11”参照)、遅延回路61のインバータ64の段数が最大の8に設定されている。

#### 【0048】

つまり、フェイルメモリ用RAM11では、データ読出マージンが最大になるように、マージン拡大手段60の遅延回路61を調節しており、フェイルメモリ用RAM11が、上述した処理用RAM10のデータ読出マージンよりも大きいデータ読出マージンを有するようになっている。

なお、センスアンプイネーブルスイッチ17aにセンスアンプイネーブル信号が入力されてから、センスアンプ17が起動してビット線16a、16b間の電圧差(ビット線振幅)の増幅が開始されるには若干の時間がかかるため、ここでは、センスアンプ17により増幅されるビット線振幅W<sub>2</sub>は、センスアンプイネーブルスイッチ17aにセンスアンプイネーブル信号が入力された時点(t<sub>4</sub>')から微少時間経過後となる。

#### 【0049】

そして、センスアンプ17によりビット線16a、16b間の電圧差が増幅されると、センスアンプイネーブル信号はオフ状態に切り換えられ、これに伴って、ワード線選択回路18によるワード線15の選択が終了し[図6(a)中t<sub>5</sub>'参照]、次いで、プリチャージ回路19によるプリチャージの解除が終了されるとともに、当該RAM11からのデータの読み出しが完了される[図6(a)中t<sub>6</sub>'参照]。

#### 【0050】

このとき、上述のように、入力されたクロック信号がマージン拡大手段60の遅延回路61によって遅延され、チョッパ68を介してワード線選択回路18に入力されることにより、ワード線選択回路18によるワード線15の選択期間が上記t<sub>a</sub>時間分伸長されることになり、図6(b)中のt<sub>5</sub>'の時点でワード線15の選択が終了されるようになっている。つまり、ここでは、マージン拡大手段60の遅延回路61とチョッパ68とが、

ワード線選択回路18のワード線選択期間を伸長させる伸長回路として機能する。

【0051】

また、入力されたクロック信号が、マージン拡大手段60の遅延回路61によって遅延され、チョッパ69を介してプリチャージ回路19に入力されることにより、プリチャージ回路19によるプリチャージ解除期間が上記 $t_a$ 時間分伸長されることになり、図6(b)中の $t_{6'}$ の時点でプリチャージ解除が終了されるようになっている。つまり、ここでは、マージン拡大手段60の遅延回路61とチョッパ69とが、プリチャージ回路19のプリチャージ解除期間を伸長させる伸長回路として機能する。

【0052】

このように、本半導体装置1のフェイルメモリ用RAM11では、マージン拡大手段60の遅延回路61及びチョッパ67により、センスアンプイネーブルスイッチ17aへのセンスアンプイネーブル信号の入力が遅延され、センスアンプ17起動時のビット線振幅を最大値 $W_2$ まで増大させてデータ読出マージンを拡大することにより、上述した処理用RAM10に対して、さらに確実にデータの読み出しが行なわれるようになっている。ここでは、センスアンプ17起動時のビット線振幅を最大値 $W_2$ まで増大させてデータ読出マージンを最大まで拡大しているため、マージン拡大手段60において最も確実にデータの読み出しが行なわれるようになっている。なお、このデータ読み出し動作は、クロックサイクル(クロックサイクル単位)T内に完了される。

【0053】

以上のような構成により、本半導体装置1では、この半導体装置1にテスト50が接続され、コントロール回路30がBIST回路20を制御して、処理用RAM10に対して組込自己試験が開始される。BIST回路20は処理用RAM10に対してテストパターンを連続的に発行し、処理RAM10にデータの書き込みを行なうとともに、各テストパターン毎に期待値を作成してチェッカ40へ送信する。そして、チェッカ40において処理用RAM10から読み出されたデータとBIST回路20から送信された期待値とが比較され、これらが適合するか否かを比較結果(ここでは、適合する場合を1、適合しない場合を0)としてフェイルメモリ用RAM11へ送信し、かかる比較結果が上記テストパターンに基づいてテストデータが書き込まれた処理用RAM10上のアドレスと同一のフェイルメモリ用RAM11上のアドレスに格納される。なお、フェイルメモリ用RAM11に比較結果等が格納されるまでは、半導体装置1のデバイスに基づいた処理速度(クロックサイクル)で上述した処理が行なわれる。

【0054】

そして、テスト50がフェイルメモリ用RAM11に格納された試験結果(比較結果)を当該試験結果が書き込まれたアドレスと対応付けて取り出して、フェイルビットマップを作成し、これを評価することにより、処理用RAM10の組込自己試験が行なわれる。なお、このテスト50によるフェイルメモリ用RAM11に格納された試験結果等の取り出しは、テスト50のデバイス(MPU, CPU等)の処理速度(クロックサイクル)に基づいて行なわれる。

【0055】

また、コントロール回路30は、BIST回路20に対して組込自己試験の開始制御を行なう際に、試験対象である処理用RAM10に対して、処理用RAM10にそなえられたマージン拡大手段60の遅延回路61におけるスイッチ62S, 63Sを選択するための信号を送信するとともに、フェイルメモリ用RAM11に対しても、フェイルメモリ用RAM11にそなえられたマージン拡大手段60の遅延回路61におけるスイッチ62S, 63Sを選択するための信号を送信する。このとき、フェイルメモリ用RAM11のデータ読出マージンは、通常(処理用RAM10のデータ読出マージン)よりも大きなデータ読出マージンとなるように設定される。

【0056】

このように本発明の一実施形態としての半導体装置1によれば、かかる半導体装置1のデータ処理系にそなえられたRAM10, 11のうち、RAM10をBIST回路(組込

自己試験回路) 20 による組込自己試験の試験対象とした場合には、RAM 11 をかかる試験の結果を格納するフェイルメモリ用 RAM として用いるため、上述した従来からの技術のように、新たに RAM 10 と同等の性能を有する RAM を設ける必要がなく、これに伴うインターフェースや制御系も新たに設ける必要がないため、低コスト化することができる。

#### 【0057】

また、フェイルメモリ用 RAM 11 は、通常、処理用 RAM 10 と同じテクノロジーで製造され、これらは同等の性能を有するものであるため、半導体装置 1 にそなえられたデバイス (MPU, CPU 等) に基づく処理速度 (即ち、半導体装置 1 が持つ本来の処理速度) で RAM 10 の全体に対して連続的に組込自己試験を行なうことができるため、確実な製品動作保証をすることができる。

#### 【0058】

また、本発明の一実施形態としての半導体装置では、上記 RAM 10, 11 にマージン拡大手段 60 が設けられおり、このマージン拡大手段 60 により組込自己試験の試験結果 (チェッカ 40 からの比較結果) を格納するフェイルメモリ用 RAM 11 のデータ読出マージンを拡大することによって、フェイルメモリ用 RAM 11 から試験結果を確実に読み出すことができ、組込自己試験の精度を向上させることができる。

#### 【0059】

さらに、組込自己試験の試験対象を RAM 11 とする場合には、RAM 10 にそなえられたマージン拡大手段 60 により、RAM 10 のデータ読出マージンを拡大することにより、RAM 10 を RAM 11 に対する組込自己試験の試験結果を格納するフェイルメモリ用 RAM として用いることができたため、半導体装置 1 のように、データ処理系に複数の RAM がそなえられている場合でも、かかる RAM を合理的に使用することにより、効率的に、且つ、安価で、組込自己試験を行なうことができる。

#### 【0060】

##### 〔2〕その他

なお、本発明は上述した実施形態に限定されるものではなく、本発明の趣旨を逸脱しない範囲で種々変形して実施することができる。

例えば、上述した実施形態では、本発明にかかる半導体装置 1 のデータ処理系に組み込まれた記憶部としての RAM 10, 11 が SRAM である場合について説明したが、これに限定されるものではなく、かかる RAM 10, 11 が、例えば、DRAM であってもよい。

#### 【0061】

また、上述した実施形態では、本発明にかかる半導体装置 1 のデータ処理系に組み込まれた記憶部としての RAM 10, 11 の 2 つがそなえられ、RAM 10 を BIST 回路 20 による組込自己試験の試験対象としたが、RAM 11 を試験対象としてもよく、このときは、上述した実施形態とはデータ読出マージンが逆になるように、RAM 10, 11 のそれぞれに設けられたマージン拡大手段 60 を設定すればよい。

#### 【0062】

また、半導体装置 1 のデータ処理系に組み込まれた記憶部としての RAM を 3 つ以上設けるようにしてもよく、この場合には、3 つの RAM のうちいずれかが、上述した実施形態において BIST 回路 20 による組込自己試験の試験対象となり、それ以外の RAM のうちのいずれかが上述したフェイルメモリ用 RAM 11 として機能すればよい。また、この場合、組込自己試験の試験対象となる RAM 以外の複数の RAM のうち、いずれか一つの RAM が、チェッカ 40 から出力された試験対象の RAM から読み出されたデータと BIST 回路 20 で作成された期待値とが適合する場合の比較結果 (ここでは、1) のみを格納するフェイルメモリ用 RAM として機能し、さらに他の RAM が、チェッカ 40 から出力された試験対象の RAM から読み出されたデータと BIST 回路 20 で作成された期待値とが適合しない場合の比較結果 (ここでは、0) のみを格納するフェイルメモリ用 RAM として機能するように構成してもよい。

## 【0063】

また、上述した実施形態では、フェイルメモリ用RAM11が半導体装置1のデータ処理系に組み込まれた記憶部であり、通常は、処理用RAMとして機能するものとしたが、これに限定されるものではなく、かかるRAM11を処理用RAM10の試験結果を、外部のテスト50によって読出可能に格納するフェイルメモリ用RAM専用のRAMとして構成してもよい。その際、フェイルメモリ用RAMとしてのRAM11が、このRAM11にそなえられたマージン拡大手段60により、処理用RAM10のデータ読出マージンよりも大きなデータ読出マージンを有するように構成する。

## 【0064】

このような構成により、半導体装置1にそなえられたデバイス(MPU, CPU等)に基づく処理速度(即ち、半導体装置1が持つ本来の処理速度)でRAM10の全体に対して連続的に組込自己試験を行なうことができるため、確実な製品動作保証をすることができる。

また、フェイルメモリ用RAM11が、処理用RAM10のデータ読出マージンよりも大きなデータ読出マージンを有するように構成されているため、フェイルメモリ用RAM11から試験結果を確実に読み出すことができ、組込自己試験の精度を向上させることができる。

## 【0065】

## 〔3〕付記

(付記1) データ処理系に組み込まれ試験対象となる処理用RAMと、  
該処理用RAMの組込自己試験を行なう組込自己試験回路と、  
該組込自己試験回路による該処理用RAMの試験結果を、外部のテストによって読出可能に格納するフェイルメモリ用RAMとをそなえて構成され、  
該フェイルメモリ用RAMとして、該処理用RAMのデータ読出マージンよりも大きなデータ読出マージンを有するRAMが用いられていることを特徴とする、半導体装置。

## 【0066】

(付記2) データ処理系に組み込まれ試験対象となる複数の処理用RAMと、  
該処理用RAMの組込自己試験を行なう組込自己試験回路とをそなえて構成され、  
該組込自己試験回路が該複数の処理用RAMのうちの一部の組込自己試験を行なっている際に、該組込自己試験回路の試験対象外の処理用RAMが、該組込自己試験回路による該処理用RAMの試験結果を外部のテストによって読出可能に格納するフェイルメモリ用RAMとして用いられるように構成されていることを特徴とする、半導体装置。

## 【0067】

(付記3) 該複数の処理用RAMのそれぞれにおいて、当該RAMを成すセンスアンプの起動時のビット線振幅を増大させてデータ読出マージンを拡大させるマージン拡大手段がそなえられていることを特徴とする、付記2記載の半導体装置。

(付記4) 該マージン拡大手段が、外部から与えられる信号によって該センスアンプの起動タイミングを段階的に遅らせる遅延回路によって構成されていることを特徴とする、付記3記載の半導体装置。

## 【0068】

(付記5) 該マージン拡大手段により、該複数の処理用RAMのうちフェイルメモリ用RAMとして用いられるもののデータ読出マージンが、該組込自己試験回路の試験対象になっている処理用RAMのデータ読出マージンよりも大きくなるように設定変更することを特徴とする、付記3または付記4に記載の半導体装置。

(付記6) 該複数の処理用RAMのそれぞれにおいて、プリチャージ解除期間を伸長させる伸長回路がさらにそなえられていることを特徴とする、付記3～付記5のいずれか一項に記載の半導体装置。

## 【0069】

(付記7) 該複数の処理用RAMのそれぞれにおいて、ワード線選択期間を伸長させる伸長回路がさらにそなえられていることを特徴とする、付記3～付記6のいずれか一項



に記載の半導体装置。

(付記8) データ処理系に組み込まれ試験対象となる処理用RAMをそなえて構成される半導体装置に組み込まれる試験装置であって、

該処理用RAMの組込自己試験を行なう組込自己試験回路と、

該組込自己試験回路による該処理用RAMの試験結果を、外部のテストによって読出可能に格納するフェイルメモリ用RAMとをそなえて構成され、

該フェイルメモリ用RAMとして、該処理用RAMのデータ読出マージンよりも大きなデータ読出マージンを有するRAMが用いられていることを特徴とする、半導体装置用試験装置。

#### 【0070】

(付記9) データ処理系に組み込まれ試験対象となる複数の処理用RAMをそなえて構成される半導体装置に組み込まれる試験装置であって、

該複数の処理用RAMの組込自己試験を行なう組込自己試験回路をそなえて構成され、

該組込自己試験回路が該複数の処理用RAMのうちの一部の組込自己試験を行なっている際に、該組込自己試験回路の試験対象外の処理用RAMが、該組込自己試験回路による該処理用RAMの試験結果を外部のテストによって読出可能に格納するフェイルメモリ用RAMとして用いられるように構成されていることを特徴とする、半導体装置用試験装置。

#### 【0071】

(付記10) 該複数の処理用RAMのそれぞれにおいて、当該RAMを成すセンスアンプの起動時のビット線振幅を増大させてデータ読出マージンを拡大させるマージン拡大手段がそなえられていることを特徴とする、付記9記載の半導体装置用試験装置。

(付記11) 該マージン拡大手段が、外部から与えられる信号によって該センスアンプの起動タイミングを段階的に遅らせる遅延回路によって構成されていることを特徴とする、付記10記載の半導体装置用試験装置。

#### 【0072】

(付記12) 該マージン拡大手段により、該複数の処理用RAMのうちフェイルメモリ用RAMとして用いられるもののデータ読出マージンが、該組込自己試験回路の試験対象になっている処理用RAMのデータ読出マージンよりも大きくなるように設定変更することを特徴とする、付記10または付記11に記載の半導体装置用試験装置。

(付記13) 該複数の処理用RAMのそれぞれにおいて、プリチャージ解除期間を伸長させる伸長回路がさらにそなえられていることを特徴とする、付記10～付記12のいずれか一項に記載の半導体装置用試験装置。

#### 【0073】

(付記14) 該複数の処理用RAMのそれぞれにおいて、ワード線選択期間を伸長させる伸長回路がさらにそなえられていることを特徴とする、付記10～付記13のいずれか一項に記載の半導体装置用試験装置。

#### 【図面の簡単な説明】

#### 【0074】

【図1】本発明の一実施形態としての半導体装置の機能構成を示すブロック図である。

【図2】本発明の一実施形態としての半導体装置のRAMのメモリセルおよびセンスアンプの構成を示す回路図である。

【図3】本発明の一実施形態としての半導体装置のマージン拡大手段の機能構成を示すブロック図である。

【図4】本発明の一実施形態としての半導体装置のマージン拡大手段の遅延回路を示す回路図である。

【図5】本発明の一実施形態としての半導体装置のマージン拡大手段の遅延回路にそなえられたスイッチの選択によって切り換えられるインバータ段数について説明するための図である。

【図6】本発明の一実施形態としての半導体装置のRAMの読み出し動作を説明するためのタイムチャートであり、(a)は処理用RAMの読み出し動作を説明するためのタイムチャート、(b)はフェイルメモリ用RAMの読み出し動作を説明するためのタイムチャートである。

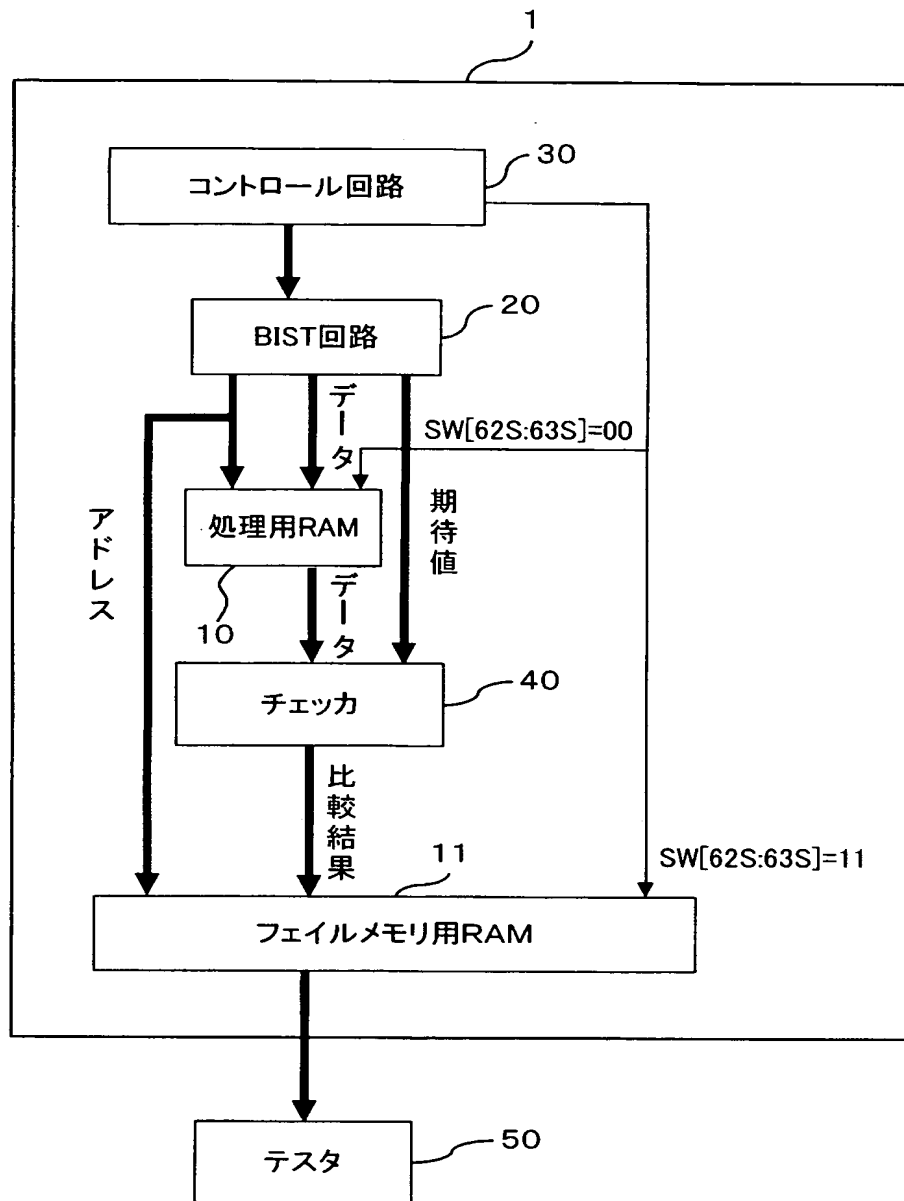
【図7】従来の半導体装置の機能構成を示すブロック図である。

【符号の説明】

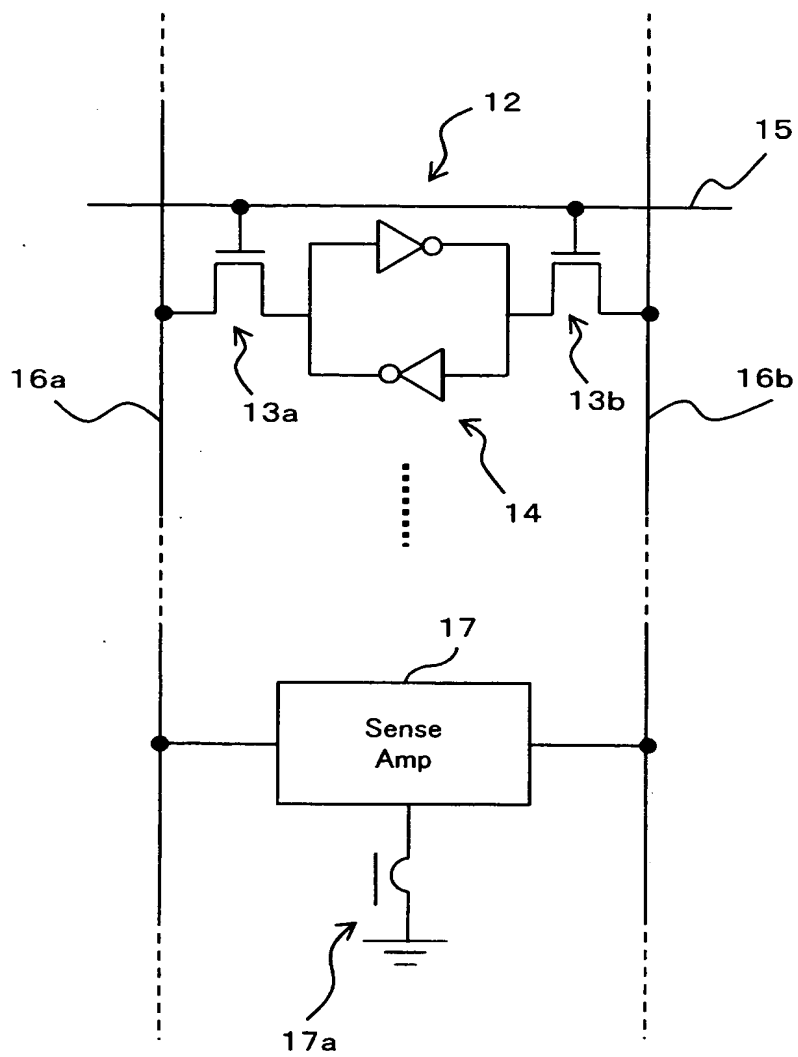
【0075】

- 1, 100 半導体装置
- 10, 101 処理用RAM
- 11 フェイルメモリ用RAM
- 12 メモリセル
- 13a, 13b トランジスタ
- 14 論理回路
- 15 ワード線
- 16a, 16b ビット線
- 17 センスアンプ
- 17a センスアンプイネーブルスイッチ
- 18 ワード線選択回路
- 19 プリチャージ回路
- 20, 102 BIST回路(組込自己試験回路)
- 30, 103 コントロール回路
- 40, 104 チェッカ
- 50, 110 テスタ
- 60 マージン拡大手段
- 61 遅延回路
- 62, 63 選択回路
- 62L, 62H, 63L, 63H 回路
- 62S, 63S スイッチ
- 64 インバータ
- 67, 68, 69 チョッパ

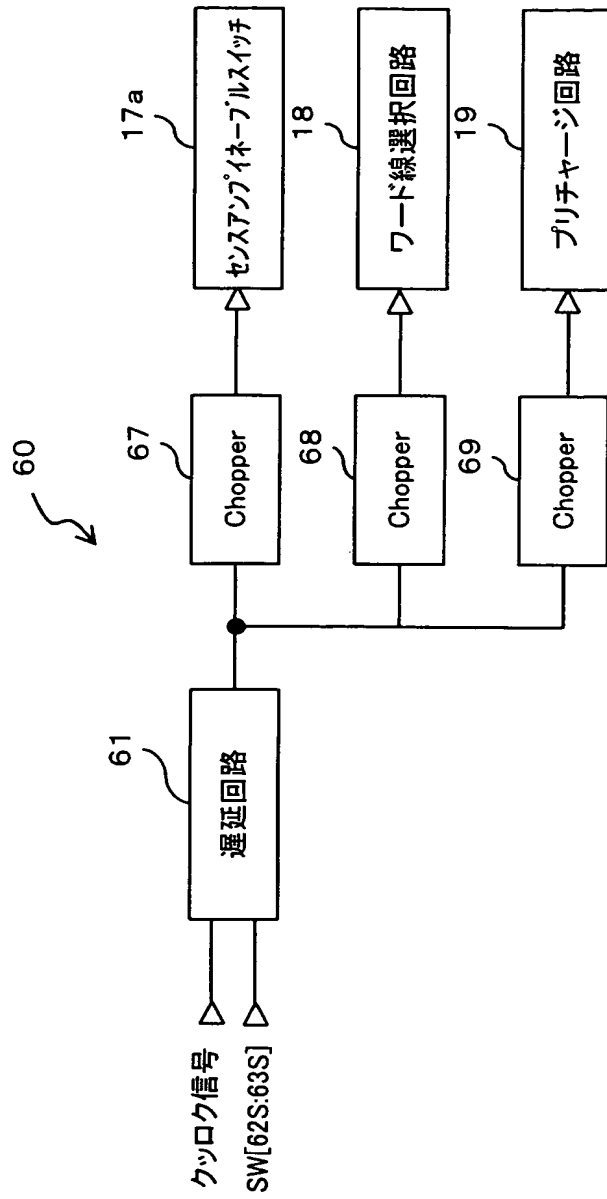
【書類名】 図面  
【図 1】



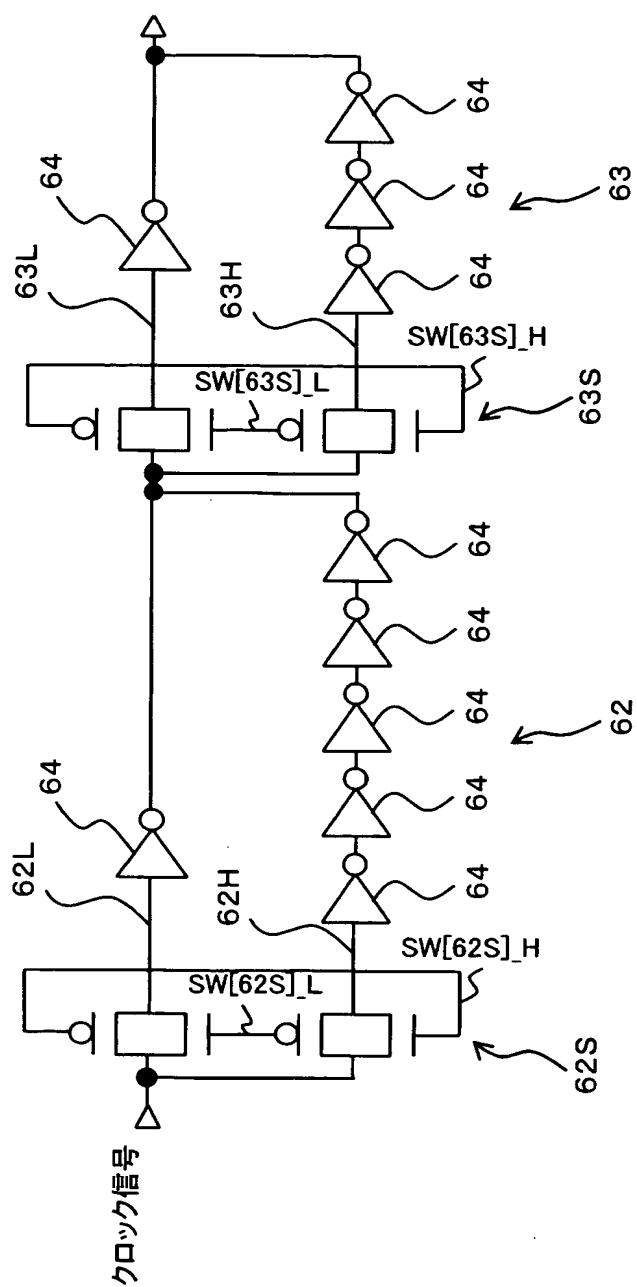
【圖 2】



【図 3】



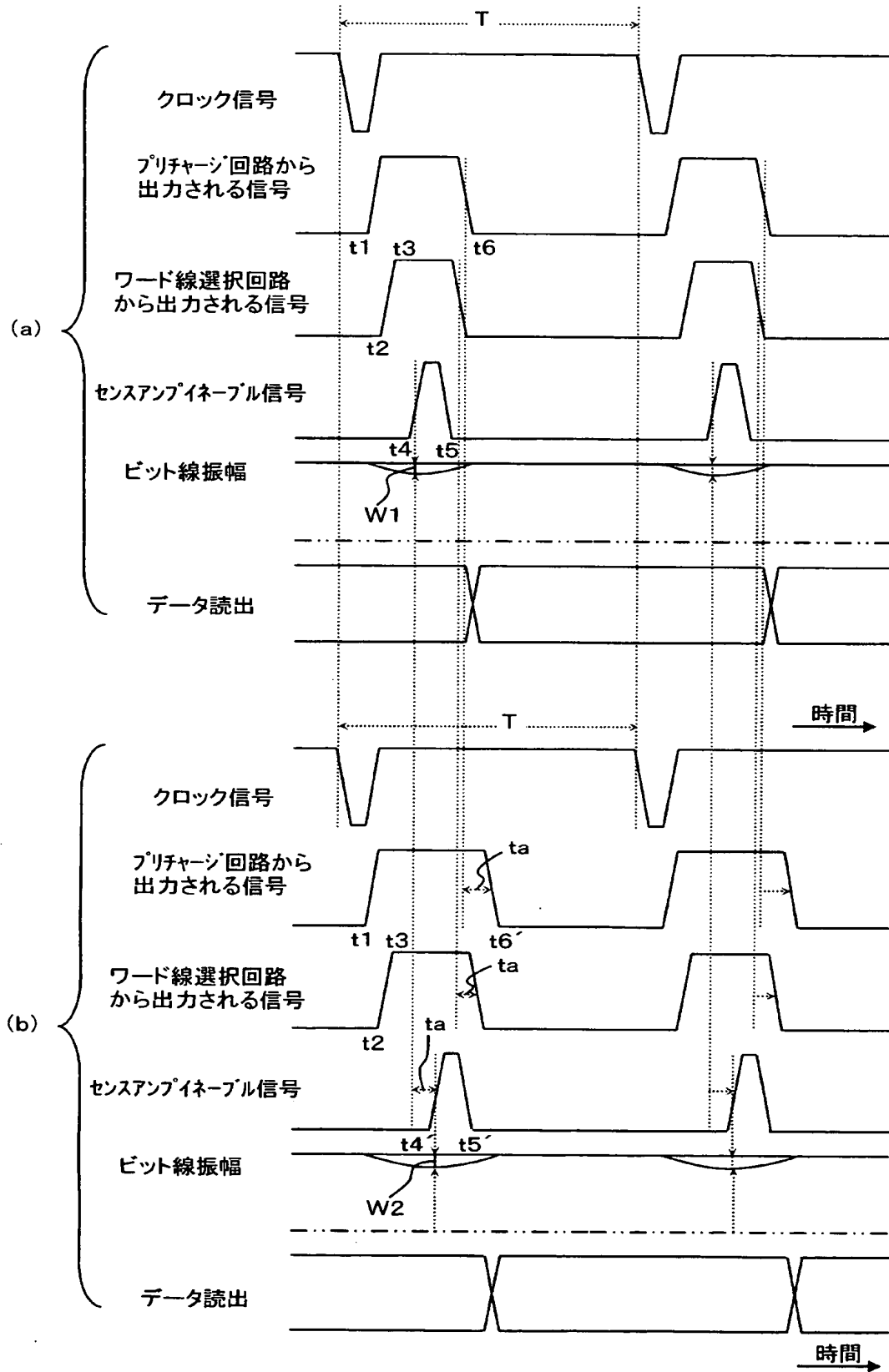
【図 4】



【図 5】

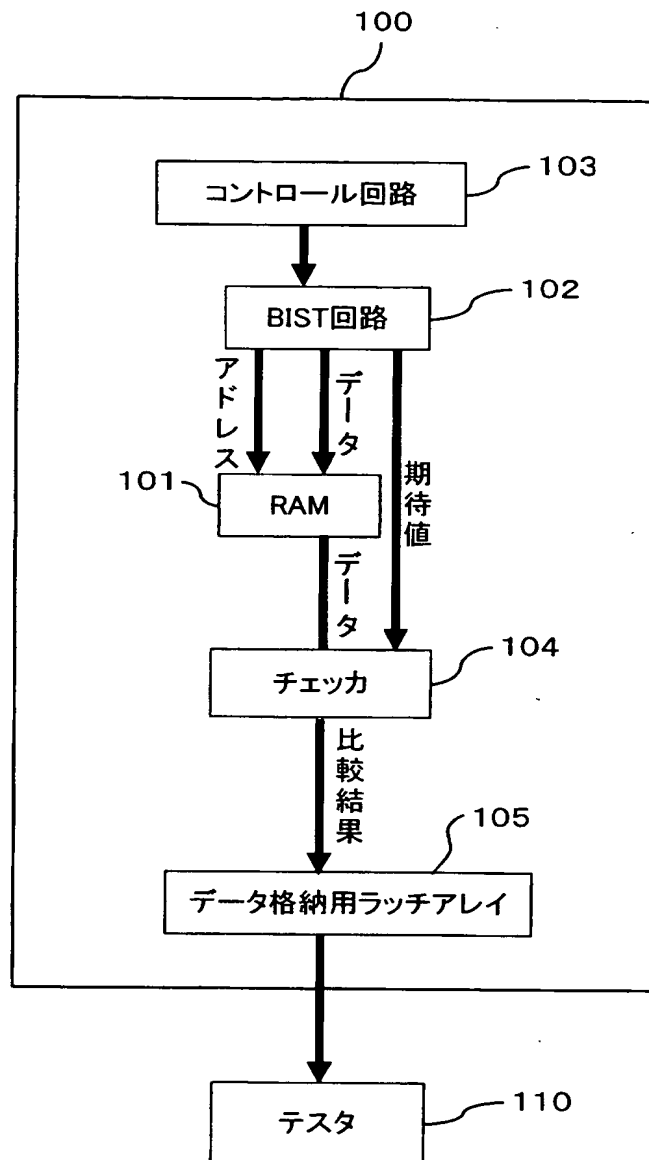
SW[62S]	SW[63S]	インバータ64 の段数	速 ↑ ↓ 遅
62L	63L	2	
62L	63H	4	
62H	63L	6	
62H	63H	8	

【図 6】





【図 7】



**【書類名】 要約書****【要約】**

**【課題】** BIST回路（組込自己試験回路）を有する半導体装置において、安価で、且つ、試験結果を確実に読み出すことができる記憶部をそなえることを実現する。

**【解決手段】** データ処理系に組み込まれ試験対象となる処理用RAM10と、処理用RAM10の組込自己試験を行なう組込自己試験回路20と、組込自己試験回路20による処理用RAM10の試験結果を、外部のテスト50によって読出可能に格納するフェイルメモリ用RAM11とをそなえて構成され、フェイルメモリ用RAM11として、処理用RAM10のデータ読出マージンよりも大きなデータ読出マージンを有するRAMを用いる。

**【選択図】** 図1

特願 2 0 0 3 - 3 7 4 3 5 1

出 願 人 履 歴 情 報

識別番号 [ 0 0 0 0 0 5 2 2 3 ]

1. 変更年月日 1 9 9 6 年 3 月 2 6 日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号

氏 名 富士通株式会社